

REPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

⑪ N° de publication :

(à n'utiliser que pour les
commandes de reproduction)

2 748 833

(21) N° d'enregistrement national :

88 08926

51 Int Cl⁶ : G 06 F 11/00

RECEIVED

JUL 12 2001

Technology Center 2100

12

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 01.07.88.

③③ Priorité :

④3 Date de la mise à disposition du public de la demande : 21.11.97 Bulletin 97/47.

(56) Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : SOCIETE D'APPLICATIONS
GENERALES D'ELECTRICITE ET DE MECANIQUE
SAGEM SOCIETE ANONYME — FR.

(72) Inventeur(s) : LAVELLE ERIC.

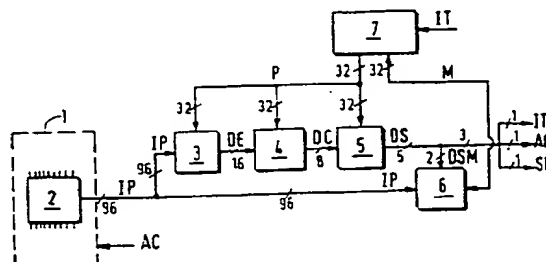
⑦3 Titulaire(s) : .

(74) Mandataire : CABINET BLOCH.

(54) SYSTEME DE MEMORISATION D'INFORMATIONS POUR LA SURVEILLANCE, EN TEMPS REEL, D'UN CALCULATEUR NUMERIQUE.

⑤7 Une sonde (2) prélève les informations échangées sur le bus interne du calculateur (1). Un détecteur d'états (3) détecte des états déterminés du bus en réponse aux informations prélevées (IP). Un détecteur de combinaisons (4) détecte des combinaisons déterminées des signaux (DE) de détection d'états. Un détecteur de séquences (5) détecte des séquences déterminées de mots binaires représentatifs des signaux (DC) de détection de combinaisons, et empêche le transfert, dans une mémoire de trace (6), des informations prélevées (IP) inutiles à la surveillance.

L'invention s'applique à la mise au point, en temps réel, de logiciels pour calculateurs embarqués, par exemple.



BEST AVAILABLE COPY

FR 2 748 833 - A1



La présente invention a pour objet un système de mémorisation d'informations pour la surveillance, en temps réel, d'un calculateur numérique, pourvu d'au moins un bus interne d'échange d'informations, système comprenant :

- 5
- des moyens pour prélever lesdites informations,
 - des moyens pour, en réponse aux informations prélevées, détecter des états déterminés dudit bus, et,
 - des moyens de mémorisation sélective desdites informations
- 10 prélevées, commandés par lesdits moyens de détection d'états afin de ne pas mémoriser les informations prélevées non relatives à un desdits états déterminés.

Un tel système est utilisé, en particulier, pour la

15 mise au point d'un logiciel chargé sur un calculateur de navigation, de pilotage, de guidage, ou d'autres tâches analogues, et qui se trouve embarqué à bord d'un aéronef, par exemple.

20 Par mise au point d'un logiciel, on entend ici la phase du développement de ce logiciel permettant de le rendre conforme à sa description fonctionnelle par correction des erreurs de programmation dont il est susceptible d'être affecté, par exemple.

25 Un système de mémorisation du type défini ci-dessus fait partie d'un système informatique d'aide à la mise au point qui permet de surveiller le calculateur sur lequel est chargé le logiciel à mettre au point, encore appelé calcula-

30 teur cible, en suivant l'exécution de ce logiciel. Un tel système permet la mémorisation d'une suite d'états du calculateur cible permettant à un opérateur, ou à un système de maintenance automatique, de juger de la conformité de ces états.

Avec un système qui surveille en temps réel le calculateur cible par prélèvement des informations sur le ou les bus internes, le fonctionnement du calculateur cible n'est pas perturbé par la présence du système de surveillance, et il peut donc être testé dans des conditions réelles de fonctionnement, ce qui n'est pas le cas avec des systèmes comme les systèmes de validation fonctionnelle, ou comme les systèmes mettant en oeuvre, par exemple, un émulateur. Avec un système de validation fonctionnelle, le calculateur cible travaille en temps réel, mais en réponse à une suite de stimulations artificielles dont l'éventail est loin de reproduire la complexité des stimulations auxquelles il sera soumis dans la réalité. Avec un système mettant en oeuvre un émulateur, l'adjonction des fonctions logiques permettant la surveillance interdit le fonctionnement en temps réel.

Pour un système de mémorisation en temps réel, il se pose néanmoins un problème, lié à la capacité limitée de la mémoire. dans laquelle on conserve la trace des différents états du calculateur cible, encore appelée mémoire de trace. Par exemple, si la mémoire de trace comporte 4096 cases, si le pas du calculateur cible a une durée de 100 ns, et si l'on souhaite conserver la trace de chacun des états successifs, on ne peut analyser, de manière continue, qu'une tranche de fonctionnement réel du calculateur cible de durée égale à 0,4 ms, ce qui est une durée extrêmement brève, et oblige à découper toute période à surveiller, de durée raisonnable, en un très grand nombre de tranches. De plus, dans chacune des tranches, il s'avère qu'un grand nombre des informations mémorisées ne sont pas utiles à la surveillance.

On connaît déjà un système du type défini ci-dessus, décrit dans la demande française N° 2 598 001, qui vise

à allonger la durée de chaque tranche de fonctionnement en temps réel continûment analysable, sans augmenter la capacité de la mémoire de trace. Dans ce système, afin que la mémoire de trace ne se trouve pas encombrée d'informations inutiles, on détermine un certain nombre d'états du ou des bus, états dont on est certain qu'ils comprendront les informations susceptibles d'être utiles à la surveillance, et on prévoit l'élimination des informations non-relatives à ces états déterminés. Pour une même capacité de la mémoire de trace, la durée de chaque tranche est donc augmentée. Néanmoins, cette durée reste encore relativement faible.

La présente invention vise à pallier cet inconvénient en procurant un système du type défini ci-dessus, dans lequel la durée d'une tranche d'analyse se trouve notablement augmentée.

A cet effet, elle a pour objet un dispositif du type défini ci-dessus, caractérisé par le fait qu'il comprend, de plus :

- des moyens pour détecter des combinaisons déterminées des signaux en sortie desdits moyens de détection d'états, et,
- des moyens pour détecter des séquences déterminées de mots binaires représentatifs des signaux en sortie desdits moyens de détection de combinaisons, et commander lesdits moyens de mémorisation sélective afin de ne pas mémoriser les informations prélevées non-relatives à une desdites séquences déterminées.

Avec le système de l'invention, il est possible d'éliminer davantage d'informations dont il est inutile de conserver la trace, grâce aux moyens de détection de

combinaisons déterminées, et grâce aux moyens de détection de séquences. Ces moyens réalisent, en fait, un véritable filtrage des informations utiles à la surveillance, parmi les informations échangées sur les bus. Ainsi, il est possible d'allonger considérablement la durée de
5 chaque tranche continûment analysée, et l'exploitation des informations mémorisées est facilitée, du fait que celles-ci ne comprennent plus un grand nombre d'informations inutiles à la surveillance.

De plus,, du fait que le nombre d'informations utiles par unité de
10 temps est fortement réduit, on peut, en utilisant une mémoire de trace à double accès, exploiter en temps réel et sans pertes les informations utiles, en transférant les plus anciennes vers un dispositif de visualisation ou d'archivage, pendant que les plus récentes sont enregistrées. Une telle caractéristique est évidemment particu-
15 lièrement avantageuse.

A partir de l'analyse des informations mémorisées, on peut non seulement corriger les erreurs de programmation du logiciel, mais aussi optimiser les fonctions critiques de ce logiciel, notamment en taille
20 mémoire et en temps d'exécution.

Avantageusement, lesdits moyens de détection d'états comprennent une pluralité de circuits élémentaires, chaque circuit élémentaire recevant lesdites informations prélevées et délivrant un signal binaire
25 de détection d'états, et chaque circuit élémentaire desdits moyens de détection d'états comprend :

- des moyens pour comparer, à un seuil bas et à un seuil haut, lesdites informations prélevées,
- 30 - des moyens de mémorisation, à accès aléatoire, d'une pluralité d'éléments binaires, ou bits, chaque bit étant adressé à l'aide desdites informations prélevées, et,
- des moyens logiques, en sortie desdits moyens de comparaison et desdits moyens de mémorisation pour délivrer ledit signal binaire de
35 détection d'états.

En conséquence, l'ensemble d'états déterminés détectables est important et varié, et leur programmation est simple.

Avantageusement encore, lesdits moyens de détection de combinaisons comprennent une pluralité de moyens de

mémorisation, à accès aléatoire, chacun de ces moyens de mémorisation mémorisant une pluralité d'éléments binaires, ou bits, chaque bit étant adressé à l'aide des signaux en sortie desdits moyens de détection d'états.

5

De même, lesdits moyens de détection de séquences comprennent :

- 10 - des moyens de mémorisation, à accès aléatoire, organisés en cases, chaque case mémorisant une pluralité d'éléments binaires, ou bits, lesdits moyens de mémorisation recevant sur une première partie, de plus faible poids, de leurs entrées d'adresse, les signaux en sortie desdits moyens de détection de combinaisons,
- 15 - des moyens pour transférer vers la partie restante, de plus fort poids, desdites entrées d'adresse, une première partie des bits en sortie desdits moyens de mémorisation,
- des moyens pour commander lesdits moyens de transfert en réponse à une autre partie des bits en sortie desdits
- 20 moyens de mémorisation, et,
- des moyens pour délivrer un signal binaire de détection de séquence en réponse à la partie restante des bits en sortie desdits moyens de mémorisation.

25 Les moyens de détection de séquences comprennent donc au moins un automate microprogrammé pour reconnaître les séquences à détecter.

30 La présente invention sera mieux comprise grâce à la description suivante de la forme de réalisation préférée du système de l'invention, faite en se référant aux dessins annexés, sur lesquels :

- 35 - la figure 1 représente, de façon schématique, un calculateur cible auquel est raccordé le système de l'invention,

- la figure 2 représente l'organisation interne du détecteur d'états du système de la figure 1,
 - la figure 3 représente, de façon détaillée, un des circuits élémentaires du détecteur d'états de la figure 2,
 - la figure 4 représente l'organisation interne du détecteur de combinaisons du système de la figure 1,
 - la figure 5 représente l'organisation interne du détecteur de séquences du système de la figure 1,
 - la figure 6 représente, de façon détaillée, un des circuits élémentaires du détecteur de séquences de la figure 5, et,
 - la figure 7 représente un exemple simplifié de graphe de transitions pour le circuit élémentaire de la figure 6.
- En se référant à la figure 1, un calculateur, par exemple un calculateur de navigation embarqué à bord d'un aéronef, et schématisé par le bloc portant la référence 1, est chargé avec un logiciel, à mettre au point à partir de résultats d'essais de fonctionnement de ce logiciel, essais effectués en temps réel.

A cet effet, une sonde 2 prélève les informations échangées sur les bus internes du calculateur 1, ici et par exemple, le bus d'adresses, le bus de données et le bus de compteur ordinal, comprenant chacun 32 conducteurs, ou fils, représentant chacun ou élément binaire, ou bit.

De façon connue, la sonde 2 comporte donc un dispositif contacteur pourvu d'une pluralité de broches, chacune des broches étant en contact avec un des fils de bus, fils

dont le nombre total est de 3×32 soit 96. De façon connue encore, et donc non représentée, le dispositif contacteur est relié à un circuit d'interface à haute impédance, de façon à ce que le prélèvement des informations échangées sur les bus se fasse de façon totalement "transparente" pour le calculateur 1, c'est-à-dire sans apporter de perturbations à son fonctionnement normal, en temps réel.

10 Les informations prélevées, en sortie de la sonde 2, sont représentées sur la figure 1 par les signaux IP, supportés donc par un bus de 96 fils.

15 Les signaux IP sont appliqués d'une part à un détecteur d'états 3, et d'autre part à un circuit 6 de mémorisation sélective.

20 Le détecteur d'états 3 est agencé, comme cela sera mieux compris dans la suite, pour détecter des états déterminés du bus d'adresse, du bus de données ou du bus de compteur ordinal, et délivre en sortie, des signaux de détection d'états DE, supportés ici par un bus de 16 fils.

25 Les signaux DE sont appliqués à un détecteur de combinaisons 4.

30 Le détecteur de combinaisons 4 est agencé, comme cela sera mieux compris dans la suite, pour détecter des combinaisons déterminées des signaux DE et délivre, en sortie, des signaux de détection de combinaisons DC, supportés ici par un bus de 8 fils.

Les signaux DC sont appliqués à un détecteur de séquences 5.

Le détecteur de séquences 5 est agencé, comme cela sera mieux compris dans la suite, pour détecter des séquences déterminées de mots binaires représentatifs des signaux DC et délivre, en sortie, des signaux de détection des séquences DS, supportés ici par un bus de 5 fils.

Une première partie DSM des signaux DS, comprenant ici deux signaux binaires, est appliquée à l'entrée de commande dont est pourvu le circuit 6 de mémorisation sélective.

Le circuit 6 de mémorisation sélective comprend une mémoire pourvue ici de 4096 cases, appelée mémoire de trace, non représentée car connue, à rythme d'écriture rapide, de façon à permettre, si nécessaire, la mémorisation, à la volée, de toutes les informations prélevées IP successives, au rythme de travail réel du calculateur 1. Entre la mémoire de trace et les signaux IP est disposé un dispositif de transfert commandé par les signaux DSM, afin que, comme cela sera mieux compris dans la suite, ne soient pas mémorisées dans la mémoire de trace des informations prélevées IP dont on peut être certain, à priori, qu'elles seront inutiles à la surveillance.

Le nombre de bits de chacune des cases de la mémoire de trace est suffisant pour la mémorisation des 96 bits des informations prélevées sur les bus, et pour la mémorisation de bits de protocole, notamment de datation, indiquant à quel moment les informations ont été prélevées.

Un calculateur 7, encore appelé calculateur hôte, programme le détecteur d'états 3, le détecteur de combinaisons 4, et le détecteur de séquences 5 par l'intermédiaire de signaux de programmation P, supportés ici par un bus de 32 fils.

Le calculateur 7 peut examiner le contenu de la mémoire de trace, et le transférer, le cas échéant, dans une mémoire de masse à rythme d'écriture plus lent que la mémoire de trace, par l'intermédiaire de signaux M, supportés ici par un bus de 32 fils.

Dans le bloc 7, schématisant le calculateur hôte, sont inclus des circuits d'interface homme-machine tels qu'un écran de visualisation et un clavier qui permettent à un opérateur d'intervenir sur le système. De même, la mémoire de masse où sont transférées les données en provenance du circuit 6 de mémorisation sélective est incluse dans le bloc 7.

La deuxième partie des signaux DS comprend ici trois signaux binaires IT, AC et SE. Le signal IT, d'interruption de test, est appliqué au calculateur hôte 7. Le signal AC, d'arrêt du calculateur cible, est appliqué au calculateur cible 1, et le signal SE, de synchronisation externe est disponible pour le déclenchement d'un deuxième système, identique à celui actuellement décrit, et utilisé par exemple pour la surveillance d'un deuxième calculateur associé au premier.

Avant qu'une description plus détaillée des blocs 3, 4 et 5 ne soit abordée, le fonctionnement du système qui vient d'être décrit est expliqué.

Avant de procéder à un essai, ou test, en temps réel du calculateur cible 1, en vue de la mise au point du logiciel chargé sur ce calculateur, une pluralité d'états du bus de données, du bus d'adresse et du bus de compteur ordinal sont déterminés, pour que seules les informations prélevées sur les bus, lorsqu'ils sont dans l'un de ces états, soient susceptibles d'être utiles à la surveillance

du déroulement du logiciel. De même, une pluralité de combinaisons des signaux DE de détection d'états, et une pluralité de séquences de mots binaires représentatifs des signaux DC de détection des combinaisons sont déterminées, de façon à satisfaire le même critère. Les états, 5 combinaisons et séquences ainsi déterminées sont programmées dans le détecteur d'états 3, le détecteur de combinaisons 4 et le détecteur de séquences 5, respectivement, grâce aux signaux P de programmation.

Le système est alors prêt à fonctionner, et le calculateur 1 est com- 10 mandé pour exécuter, en temps réel, la suite des tâches relatives au logiciel, ou à la partie de logiciel à mettre au point. Au cours de cette exécution, les informations prélevées à chaque pas de calcul ne sont pas toutes mémorisées, du fait que le circuit 6 de mémorisation sélective ne mémorise les informations prélevées que lorsque les si- 15 gnaux DSM l'y autorisent, c'est-à-dire lorsqu'une des séquences déterminées de combinaisons déterminées d'états déterminés des bus a été détectée.

Lorsque la mémoire de trace est remplie, le calculateur 1 peut être 20 arrêté, et le contenu de la mémoire de trace est transféré, grâce aux signaux M, vers le calculateur hôte 7 pour examen ou archivage. Toutefois, du fait que la mémoire de trace n'est pas encombrée d'informations prélevées inutiles à la surveillance, la durée de la tranche continue de fonctionnement en temps réel du calculateur 1 qui se trou- 25 ve ainsi analysable est très largement supérieure à 4096 pas.

Il est également possible de transférer les informations utiles les plus anciennes pendant que les informations utiles les plus récentes sont enregistrées, pour une exploitation continue et en temps réel, 30 sans pertes d'évènements et sans aucune interruption.

Ce résultat est atteint en particulier grâce au détecteur de séquences 5, qui, comme cela sera mieux compris dans la suite, permet un fil- 35 trage particulièrement efficace des informations susceptibles d'être utiles.

Lorsque, le cas échéant, la mémoire de trace a été vidée de son contenu, le système est prêt pour l'analyse d'une nouvelle tranche de fonctionnement continu, ou bien pour l'analyse d'une
5 autre partie du logiciel, après modification de la programmation des détecteurs 3, 4 et 5.

Les signaux IT, AC et SE sont élaborés dans le détecteur de combinaisons 5 pour, en cours d'essai, et si cela
10 est nécessaire, provoquer une interruption du test, un arrêt d'un calculateur cible 1, et une synchronisation d'un autre système, respectivement.

En référence maintenant à la figure 2, le détecteur
15 d'états 3 est maintenant décrit de façon plus détaillée. Il comporte une pluralité de circuits élémentaires identiques, ici au nombre de 16, à savoir les circuits $31_1, 31_2, \dots, 31_i, \dots$ et 31_{16} . Chaque circuit 31_i est pourvu d'une entrée principale recevant les 96 fils du bus supportant les si-
20 gnaux IP, d'une entrée de programmation recevant les 32 fils du bus supportant les signaux P, et d'une sortie binaire comprenant donc un unique fil. Les 16 fils de sortie respectifs des 16 circuits élémentaires $31_1, 31_2, \dots, 31_i, \dots$ et 31_{16} sont regroupés pour former le bus de 16 fils de sortie
25 du détecteur d'états 3, qui supporte les signaux DE de détection d'états.

En référence à la figure 3, chaque circuit élémentaire 31_i est maintenant décrit de façon détaillée.

30

Il comprend tout d'abord un commutateur 311, pourvu d'une entrée principale recevant les 96 fils du bus supportant les signaux IP, d'une entrée de programmation recevant les signaux P, et d'une sortie pourvue de 32 fils. Le
35 commutateur 311 est agencé pour, en réponse à des signaux de

programmation P appropriés, relier les 32 fils de sa sortie à l'un des trois groupes de 32 fils de son entrée qui représentent respectivement le bus d'adresses, le bus de données, et le bus de compteur ordinal, comme cela a été
5 indiqué ci-dessus.

Le mot binaire de 32 bits présent sur les 32 fils de sortie du commutateur 311 est comparé d'une part à un seuil haut, programmé grâce aux signaux P dans un registre 313,
10 par un comparateur 32 bits 317 pourvu d'une sortie binaire, et d'autre part à un seuil bas, programmé grâce aux signaux P dans un registre 312, par un comparateur 32 bits 316 pourvu d'une sortie binaire également.

15 Les 16 bits de plus faible poids en sortie du commutateur 311 servent à adresser une première mémoire 314 à accès aléatoire, ou mémoire RAM, de 2^{16} , soit 65 536 cases de 1 bit, et dont le contenu est programmé grâce aux signaux P. Les 16 bits de plus fort poids en sortie du commutateur
20 311 servent à adresser une deuxième mémoire RAM 315, de capacité identique à la première mémoire 314, et dont le contenu est programmé grâce aux signaux P. Une porte logique ET 318, à quatre entrées, reçoit les quatre sorties binaires respectives de la mémoire 314, de la mémoire 315, du compa-
25 rateur 316 et du comparateur 317. La sortie binaire de la porte ET 318 est la sortie du circuit élémentaire 31_i.

Chaque circuit élémentaire 31_i peut ainsi détecter, ou reconnaître, des états déterminés soit du bus d'adresses,
30 soit du bus de données, soit du bus de compteur ordinal, selon la programmation du commutateur 311. La pluralité d'états déterminés que peut détecter un circuit élémentaire donné 31_i peut être spécifiée, par exemple, de trois manières différentes, correspondant chacune à un type de programmation
35 différent. Ce sont :

- 1) Détection de tous les états dans lesquels le bus supporte un mot binaire de 32 bits dans lequel la valeur d'un certain nombre de bits est précisée, la valeur des bits restants étant indifférente, par exemple le mot binaire : 1111xxxx0000xxxxxxxx0000xxxx1111 dans lequel x représente indifféremment 0 ou 1. Dans ce cas le registre 312 est rempli de 0, le registre 313 de 1, et chaque case de la mémoire 314, ou de la mémoire 315, est remplie avec un 1 si et seulement si son adresse est conforme à la partie de plus faible poids, où à la partie de plus fort poids respectivement, du mot en question. Alors, les sorties binaires des comparateurs 316 et 317 étant toujours au niveau haut, pour que la sortie du circuit 31_i soit au niveau haut, il suffit que les sorties des mémoires 314 et 315 le soient simultanément, ce qui est bien réalisé pour chacun des états déterminés.
- 2) Détection de tous les états dans lesquels le bus supporte un mot binaire de 32 bits dont la valeur est comprise dans un intervalle déterminé défini par une borne inférieure et une borne supérieure. Dans ce cas, le registre 312 est rempli avec la valeur de la borne inférieure, le registre 313 avec la valeur de la borne supérieure, et toutes les cases des mémoires 314 et 315 systématiquement avec des 1. Alors, les sorties binaires des mémoires 314 et 315 sont toujours au niveau haut, et pour que la sortie du circuit 31_i soit au niveau haut, il suffit que les sorties des comparateurs 316 et 317 soient au niveau haut simultanément, ce qui est bien réalisé pour chacun des états de l'intervalle déterminé.
- 3) Détection de tous les états dans lesquels le bus supporte un mot binaire de 32 bits dont la valeur est comprise dans un des intervalles d'une pluralité déterminée

d'intervalles, définis chacun par une borne inférieure et une borne supérieure, sous réserve, ici, que la différence entre la plus grande des bornes supérieures et la plus petite des bornes inférieures n'excède pas 2^{16} , c'est-à-dire 65 536. Dans ce cas, le registre 312 est rempli avec la valeur de la plus petite des bornes inférieures, le registre 313 avec la valeur de la plus grande des bornes supérieures, toutes les cases de la mémoire 315 systématiquement avec des 1, et chaque case de la mémoire 314, si et seulement si son adresse est comprise dans un des intervalles de la pluralité d'intervalles précédents. Alors, la sortie binaire de la mémoire 315 est toujours au niveau haut, et pour que la sortie du circuit 31₁ soit au niveau haut, il suffit que les sorties des comparateurs 316 et 317 et de la mémoire 314 soient au niveau haut simultanément, ce qui est bien réalisé pour chacun des états de la pluralité d'intervalles déterminés. On notera que la limitation, à 65 536, de la différence entre la plus grande des bornes supérieures et la plus petite des bornes inférieures n'est liée qu'à la taille de la mémoire 314 employée ici, et que, si l'on peut augmenter cette taille, la limitation correspondante se trouve repoussée.

Naturellement, il est à la portée de l'homme de métier de combiner, en totalité ou en partie, les trois types de spécification et de programmation qui viennent d'être décrits.

En référence maintenant à la figure 4, le détecteur de combinaisons 4 est maintenant décrit de façon plus détaillée.

Il comporte une pluralité de mémoires RAM identiques, ici au nombre de 8, à savoir les mémoires 41₁, 41₂, ..., 41_j, ..., 41₈. Chaque mémoire 41_j comprend 2^{16} , soit 65 536 cases de 1 bit, et elle est adressée par les signaux DE de

détection d'états, qui, comme cela vient d'être décrit, comprennent les 16 signaux binaires de sortie des circuits élémentaires $3l_1, 3l_2, \dots, 3l_{16}$. Le contenu de chaque mémoire $4l_j$ est programmé grâce aux signaux P. Les 8 fils de sortie respectifs des 8 mémoires $4l_1, 4l_2, \dots, 4l_8$ sont regroupés pour former le bus de 8 fils de sortie du détecteur de combinaisons 4, qui supporte les signaux DC de détection des combinaisons.

Le fonctionnement du détecteur de combinaisons 4 est le suivant. Chaque mémoire $4l_j$ est programmée pour que chacune de ses cases contienne un 1 si et seulement si son adresse correspond à une combinaison déterminée à détecter. Ainsi, chaque mémoire $4l_j$ fonctionne comme un circuit combinatoire à 16 entrées binaires et 1 sortie binaire, la fonction réalisée par ce circuit étant programmable grâce aux signaux P de programmation. Il est prévu une pluralité de mémoires $4l_j$, ici en nombre égal à 8, de façon à pouvoir distinguer, en sortie, et si cela est nécessaire, entre la détection d'une combinaison, ou d'un groupe de combinaisons, et une autre combinaison, ou un autre groupe de combinaisons.

En référence maintenant à la figure 5, le détecteur de séquences 5 est maintenant décrit de façon plus détaillée.

Il comporte une pluralité de circuits élémentaires identiques, ici au nombre de 5, à savoir les circuits élémentaires $5l_1, 5l_2, \dots, 5l_k, \dots, 5l_5$. Chaque circuit élémentaire $5l_k$ est pourvu d'une entrée principale recevant les signaux DC de détection de combinaisons, qui, comme cela vient d'être décrit, comprennent les 8 signaux binaires de sortie des 8 mémoires $4l_1, 4l_2, \dots, 4l_j, \dots, 4l_8$. Chaque circuit élémentaire $5l_k$ est pourvu d'une entrée de programmation recevant les signaux P, d'une entrée recevant un signal H et d'une sortie binaire. Le signal H représente le signal

d'horloge du microprocesseur cible 1, signal d'horloge prélevé de façon non représentée car connue. Les 5 sorties binaires respectives des 5 circuits élémentaires $5l_1$, $5l_2, \dots, 5l_k, \dots, 5l_5$ sont regroupées pour former le bus de 5 fils en sortie du détecteur de séquences 5, qui supporte les signaux DS de détection de séquences.

En référence à la figure 6, chaque circuit élémentaire $5l_k$ est maintenant décrit de façon détaillée.

10

Un registre 512, de type parallèle à 16 bits, reçoit, sur les 8 fils correspondant à ses entrées de plus faible poids, les signaux DC, et sur les 8 fils correspondant à ses entrées de plus fort poids, les signaux de sortie d'un registre 514, de type parallèle à 8 bits. Le registre 512 reçoit le signal H sur son entrée d'horloge.

15

Les seize bits de sortie du registre 512 servent à adresser une mémoire 513, de type RAM, de 2^{16} , soit 65 536, cases de 18 bits chacune. Le contenu de la mémoire 513 est programmé grâce aux signaux P.

20

Les 18 fils en sortie de la mémoire 513, correspondant aux 18 bits de chaque case-mémoire, sont divisés en ici quatre groupes comprenant respectivement 8 fils, 1 fil, 8 fils et 1 fil. Le premier groupe de 8 fils est appliqué aux 8 entrées du registre 514, dont la sortie est rebouclée sur le registre 512 d'adressage de la mémoire 513. L'unique fil du deuxième groupe est appliqué à l'entrée de décomptage dont est pourvu un premier compteur 515. Le troisième groupe de 8 fils est appliqué à l'entrée de chargement dont est pourvu le premier compteur 515. Enfin, l'unique fil du quatrième groupe est appliqué à l'entrée de décomptage dont est pourvu un deuxième compteur 516.

25

30

Le deuxième compteur 516 est pourvu d'une entrée de chargement recevant les signaux P de programmation.

Les premier et deuxième compteurs 515 et 516 sont
5 chacun pourvus d'une entrée d'horloge recevant le signal \bar{H} ,
et d'une sortie binaire qui passe au niveau haut lorsque
le compte devient négatif. La sortie binaire du premier
compteur 515, désignée par CP, est reliée d'une part à
1 l'entrée d'horloge du premier registre 514, et d'autre part
10 à une entrée de validation dont est pourvu le deuxième
compteur 516. La sortie binaire du deuxième compteur 516 est
la sortie binaire du circuit élémentaire 51_k.

Le circuit élémentaire 51_k qui vient d'être décrit
15 fonctionne de la façon suivante. Pour une bonne compréhension
de ce fonctionnement, il est utile de considérer que les
65 536 cases de la mémoire 513 sont organisées en 256 pages
de 256 cases, le "numéro" d'une page étant représenté par
les 8 bits de plus fort poids servant à l'adressage de la
20 mémoire 513, donc par les 8 bits transférés en sortie du
registre 514 sous l'action du signal CP.

Ainsi, si l'on suppose pour commencer que tous les bits
d'adressage sont à 0, il en est ainsi des 8 bits de plus
25 fort poids, et le circuit est donc sur la page portant le
numéro 0. Si on suppose maintenant que des signaux DC repré-
sentant un mot de 8 bits non nul sont appliqués sur les
entrées d'adressage de plus faible poids, il font passer
de la case 0 sur la page 0 à une des 256 cases de la page 0.

30

Dans cette case se trouvent les 18 bits partagés en
quatre groupes dont il a déjà été question, le rôle de cha-
cun des groupes étant le suivant :

- les 8 bits du premier groupe représentent le numéro de la nouvelle page sur lequel on peut passer, soit au coup d'horloge suivant, si le bit du deuxième groupe est à 1 et les 8 bits du troisième groupe tous égaux à 0, soit
5 après un certain nombre de coups d'horloge si le bit du deuxième groupe est à 1 et si les 8 bits du troisième groupe représentent ce nombre de coups d'horloge,
- le bit du deuxième groupe est le bit de changement de page,
- 10 - les 8 bits du troisième groupe représentent le facteur de répétition interne, et,
- le bit du quatrième groupe est le bit de déclenchement.

Ainsi, si dans la case mémoire de la page 0 sur laquelle
15 on se trouve, le bit de changement de page est à 0, la mémoire 513 va rester sur la même page et attendre le changement du mot de 8 bits représentés par les signaux DC.

Si par contre, le bit de changement de page est à 1 et
20 les 8 bits du facteur de répétition interne à 0, la mémoire 513 change de page au coup d'horloge suivant, car le premier compteur 515 décompte le bit de changement de page et le compte du premier compteur 515 devient négatif. Ceci active le signal CP de changement de page, et transfère les 8 bits
25 du numéro de la nouvelle page à l'entrée d'adressage de la mémoire.

Si le bit de changement de page est à 1 et les 8 bits du facteur de répétition interne représentent un nombre non
30 nul, le facteur de répétition interne est chargé dans le premier compteur 515, et il faut attendre autant de bits de changement de page qu'il y a d'unités dans ce nombre pour que le signal CP soit activé par le passage du compte du premier compteur 515 à une valeur négative.

Enfin, lorsque le bit de déclenchement est à 1, le signal de sortie du deuxième compteur 516 passe au niveau haut. Il est possible de charger, dans le deuxième compteur 516 un facteur de répétition global, afin que le signal de sortie du deuxième compteur 516 ne passe au niveau haut qu'après plusieurs bits de déclenchement. De même, le signal CP est appliqué au deuxième compteur 516 afin que ne soient pas pris en compte les bits de déclenchement lors des répétitions internes.

10

Ainsi, le circuit élémentaire 51_k fonctionne comme un automate microprogrammé, comme le montre le graphe de la figure 7, qui est un exemple de graphe de transitions, de type connu de l'homme de métier.

15

Sur le graphe de la figure 7, chaque chiffre encerclé figure le numéro d'une page sur laquelle est susceptible de se trouver le circuit élémentaire 51_k . On a ici volontairement limité le nombre de ces pages à 6. Les flèches référencées DC_a , DC_b , DC_c , DC_d , DC_e et DC_f représentent les changements de pages se produisant lorsque, la mémoire étant sur une page, le mot binaire représenté par les signaux DC prend l'une des valeurs correspondantes DC_a , DC_b , DC_c , DC_d , DC_e ou DC_f , dont le nombre a été également limité à 6, dans un souci de simplicité. Les flèches marquées A indiquent que l'on ne change pas de page pour tous les autres cas.

Ainsi le graphe de la figure 7 montre que l'on passe de la page 1 à la page 2 lorsque $DC = DC_a$, et de la page 1 à la page 3 lorsque $DC = DC_c$. On passe de la page 2 à la page 4 lorsque la condition $DC = DC_f$ s'est produite 5 fois (le facteur de répétition interne est égal à 5). On passe de la page 4 à la page 6 lorsque $DC = DC_b$ ou lorsque $DC = DC_c$. On passe de la page 3 à la page 5 lorsque $DC = DC_f$ et de la page 3 à la page 1 lorsque $DC = DC_a$. On passe de

35

la page 5 à la page 6 lorsque $DC = DC_d$ ou $DC = DC_e$.

On constate qu'un tel circuit est un outil très puissant pour détecter une séquence déterminée de mots binaires, ici les mots binaires représentés par les signaux DC. En effet, si les bits de déclenchement des cases de la page 6 sont tous à 1, et si l'on s'arrange pour que le circuit élémentaire $5l_k$ se trouve sur la page 1 en début de test, le passage au niveau haut du signal de sortie du circuit $5l_k$ signifie que l'une des séquences du graphe de la figure 7 a été détectée, par exemple :

$DC_a, DC_f, DC_f, DC_f, DC_f, DC_f, DC_c$
ou :

$DC_a, D_f, DC_f, D_f, DC_f, DC_f, DC_b$

ou encore :

DC_c, DC_f, DC_d

et ainsi de suite ...

Les 5 circuits $5l_1, 5l_2, \dots, 5l_k, \dots, 5l_5$ sont donc programmés grâce aux signaux P pour délivrer les signaux DS de détection de séquences. Comme cela a déjà été signalé, deux de ces cinq signaux, les signaux DSM sont utilisés pour commander le circuit 6 de mémorisation sélective, les trois autres signaux étant les signaux IT, AC et SE, dont le rôle a déjà été décrit.

Ici les deux signaux DSM comprennent avantageusement un signal dit "d'enregistrement", et un signal dit "de trace". Si l'on appelle "évènement" les informations sur les bus lors d'un pas de calcul donné, on peut dire que le signal d'enregistrement est au niveau haut au moment où un évènement utile à la surveillance du calculateur cible se produit et doit donc être enregistré, et au niveau bas dans le cas contraire d'un évènement inutile à la surveillance. Les

événements utiles sont enregistrés les uns à la suite des autres dans la mémoire de trace, qui possède ici 4096 cases. Lorsque l'on a enregistré 4096 événements utiles, on recommence à écrire au début de la mémoire, effaçant ainsi les événements utiles les plus anciens pour écrire les plus récents. On peut dire que la mémoire de trace fonctionne de manière tournante. Le signal de trace indique l'instant où l'on arrête les enregistrements de façon à geler les événements utiles enregistrés dans la mémoire de trace. Il peut y avoir plusieurs modes d'utilisation du signal de trace. Dans un premier mode, celui-ci définit la fin de la trace, c'est-à-dire que lorsqu'il apparaît, on arrête le système pour conserver les 4096 événements utiles apparus avant le signal de trace. Dans un deuxième mode, le signal de trace définit le milieu de la trace, c'est-à-dire que, après son apparition, on enregistre encore 2048 événements utiles, et on arrête le système pour conserver les 4096 événements utiles centrés sur le signal de trace. Dans un troisième mode, le signal de trace définit le début de la trace, c'est-à-dire que, après son apparition, on enregistre 4096 événements utiles, et on arrête le système pour conserver les 4096 événements utiles apparus après le signal de trace.

Un exemple simplifié de programmation du système qui vient d'être décrit est maintenant donné. Pour simplifier l'expression des valeurs numériques, celles-ci ne sont pas fournies en code binaire, mais en code hexadécimal, où chaque symbole représente 4 bits.

Programmation du détecteur d'états 3 :

- le circuit élémentaire $3l_1$ est programmé pour détecter les états du bus de données de l'intervalle suivant :

(6a0000 , ab7ffff)

et on appelle DE_1 son signal binaire de sortie.

- 5 - Le circuit élémentaire $3l_2$ est programmé pour détecter les états du bus d'adresses de l'un des intervalles suivants :

(100, 134) (160, 521)

et on appelle DE_2 son signal binaire de sortie.

- 10 - Le circuit élémentaire $3l_3$ est programmé pour détecter les états du bus de compteur ordinal tels que :
 $fx0xx0xf$
 expression dans laquelle x représente n'importe quelle combinaison de 4 bits. On appelle DE_3 son signal binaire
 15 de sortie.

- Les circuits élémentaires $3l_4$ à $3l_{16}$ sont inutilisés.

Programmation du détecteur de combinaisons 4

20

- La mémoire $4l_1$ est programmée pour détecter la combinaison :
 DE_1 ET DE_2
 et on appelle DC_1 son signal binaire de sortie.

- 25 - La mémoire $4l_2$ est programmée pour détecter la combinaison :
 DE_1 OU DE_3
 et on appelle DC_2 son signal binaire de sortie.

Les mémoires $4l_3$ à $4l_8$ ne sont pas utilisées.

30

Programmation du détecteur de séquences 5

On appelle DC_a , DC_b et DC_c les mots suivants :

$$\begin{aligned} DC_a &= DC_1 \text{ ET } \overline{DC_2} \\ DC_b &= \overline{DC_1} \\ DC_c &= DC_2 \end{aligned}$$

5 Le circuit élémentaire 51₁ est programmé pour détecter, avec un facteur de répétition global de 3, la séquence DC_a, DC_a, DC_a, DC_a, DC_a, DC_c le mot DC_b provoquant systématiquement une réinitialisation de la recherche.

10

Les circuits élémentaires 51₂ à 51₅ sont, dans cet exemple simplifié, inutilisés.

15 Naturellement, la portée de la présente demande n'est pas limitée à la description qui vient d'être faite, et dans laquelle le nombre de circuits de chaque type, les tailles des mémoires et leur organisation n'ont été données qu'à titre d'exemple, et peuvent être facilement adaptés, par l'homme de métier, à chaque type d'application.

Revendications

- 1 - Système de mémorisation d'informations pour la surveillance, en temps réel, d'un calculateur numérique (1), pourvu d'au moins un bus interne d'échange d'informations, système comprenant :
- des moyens (2) pour prélever lesdites informations,
 - des moyens (3) pour, en réponse aux informations prélevées (IP), détecter des états déterminés dudit bus, et,
 - des moyens (6) de mémorisation sélective desdites informations prélevées (IP), commandés par lesdits moyens (3) de détection d'états afin de ne pas mémoriser les informations prélevées (IP) non-relatives à un desdits états déterminés,
- dispositif caractérisé par le fait qu'il comprend, de plus :
- des moyens (4) pour détecter des combinaisons déterminées des signaux (DE) en sortie desdits moyens (3) de détection d'états, et,
 - des moyens (5) pour détecter des séquences déterminées de mots binaires (DC_a, DC_b, \dots, DC_g) représentatifs des signaux (DC) en sortie desdits moyens (4) de détection de combinaisons, et commander lesdits moyens (3) de mémorisation sélective afin de ne pas mémoriser les informations prélevées (IP) non-relatives à une desdites séquences déterminées.

- 2 - Système selon la revendication 1, dans lequel lesdits moyens (3) de détection d'états comprennent une pluralité de circuits élémentaires ($31_1, 31_2, \dots, 31_i, \dots, 31_{16}$), chaque circuit élémentaire (31_i) recevant lesdites informations prélevées (IP) et délivrant un signal binaire de détection d'états.

3 - Système selon l'une des revendications 1 ou 2 dans lequel chaque circuit élémentaire (31_i) desdits moyens (3) de détection d'états comprend :

- 5 - des moyens ($312, 313, 316, 317$) pour comparer, à un seuil bas et à un seuil haut, lesdites informations prélevées (IP),
- des moyens de mémorisation ($314, 315$), à accès aléatoire, d'une pluralité d'éléments binaires, ou bits, chaque bit
- 10 étant adressé à l'aide desdites informations prélevées (IP), et,
- des moyens logiques (318), en sortie desdits moyens de comparaison ($312, 313, 316, 317$) et desdits moyens de mémorisation ($314, 315$) pour délivrer ledit signal binaire
- 15 de détection d'états.

4 - Système selon l'une des revendications 1 à 3, dans lequel lesdits moyens (4) de détection de combinaisons comprennent une pluralité de moyens de mémorisation ($41_1, 41_2, \dots, 41_j, \dots, 41_8$), à accès aléatoire, chacun de ces

20 moyens de mémorisation (41_j) mémorisant une pluralité d'éléments binaires, ou bits, chaque bit étant adressé à l'aide des signaux (DE) en sortie desdits moyens (3) de détection d'états.

25

5 - Système selon l'une des revendications 1 à 4, dans lequel lesdits moyens (5) de détection de séquences comprennent :

- 30 - des moyens de mémorisation (513), à accès aléatoire, organisés en cases, chaque case mémorisant une pluralité d'éléments binaires, ou bits, lesdits moyens de mémorisation (513) recevant sur une première partie, de plus faible poids, de leurs entrées d'adresse, les signaux (DC) en
- 35 sortie desdits moyens (4) de détection de combinaisons,

- des moyens (514) pour transférer vers la partie restante, de plus fort poids, desdites entrées d'adresse, une première partie des bits en sortie desdits moyens de mémorisation (513),
- 5 - des moyens (515) pour commander lesdits moyens de transfert (514) en réponse à une autre partie des bits en sortie desdits moyens de mémorisation (513), et,
- des moyens (516) pour délivrer un signal binaire de détection de séquence en réponse à la partie restante des
- 10 bits en sortie desdits moyens de mémorisation (513).

1/4

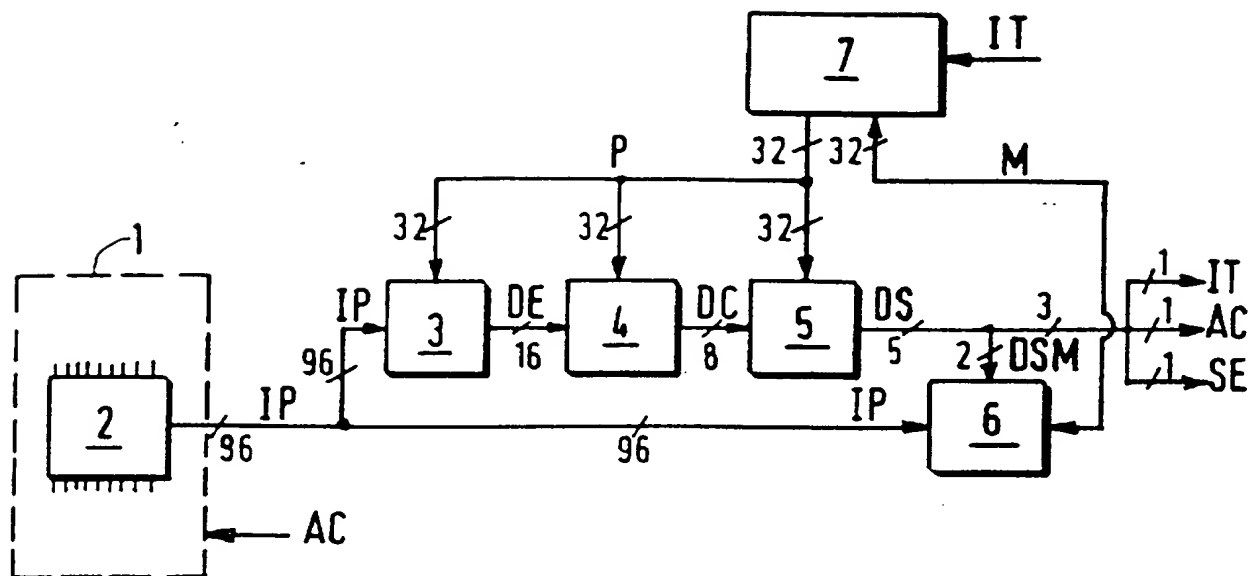


FIG. 1

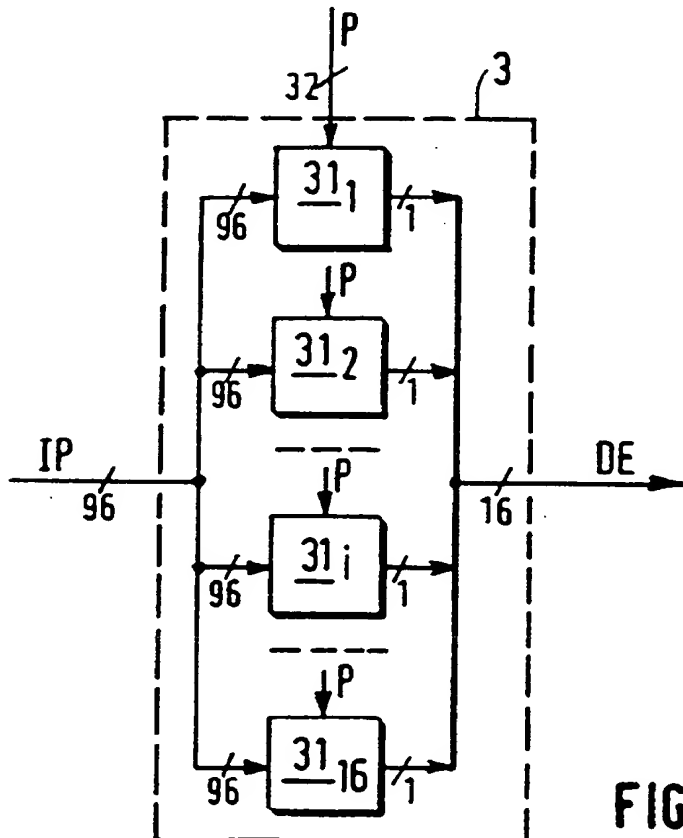


FIG. 2

2/4

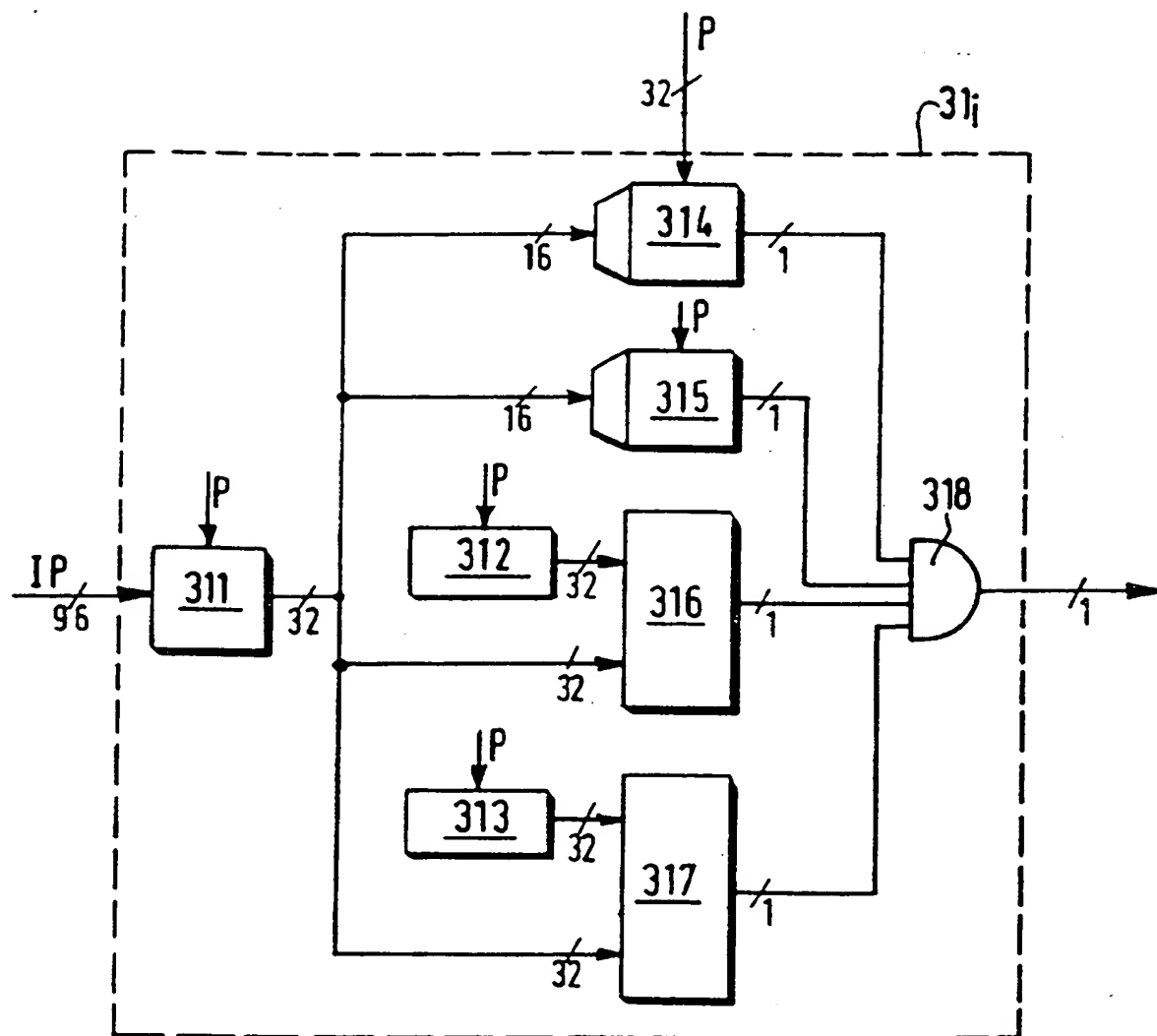


FIG.3

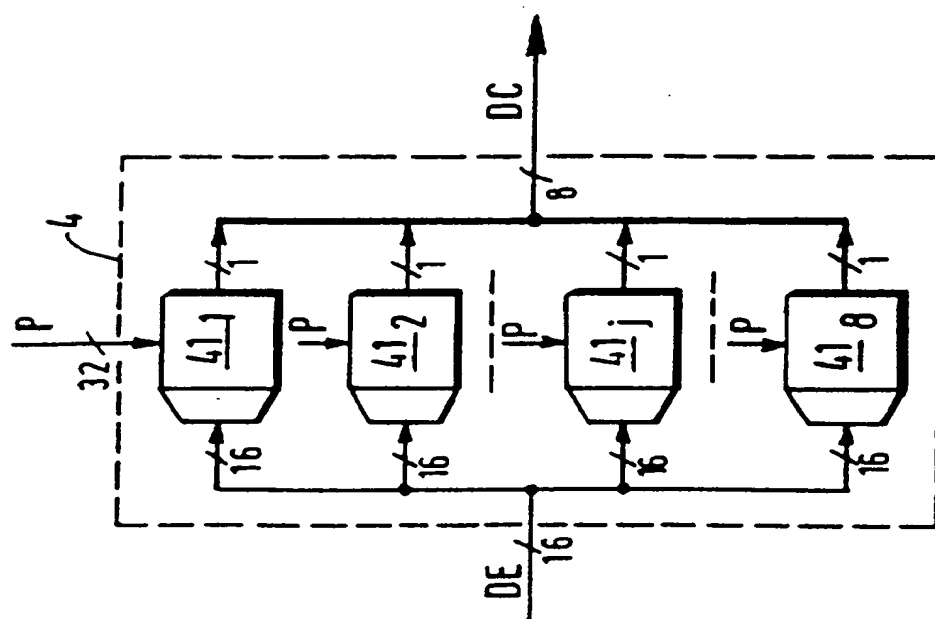


FIG. 4

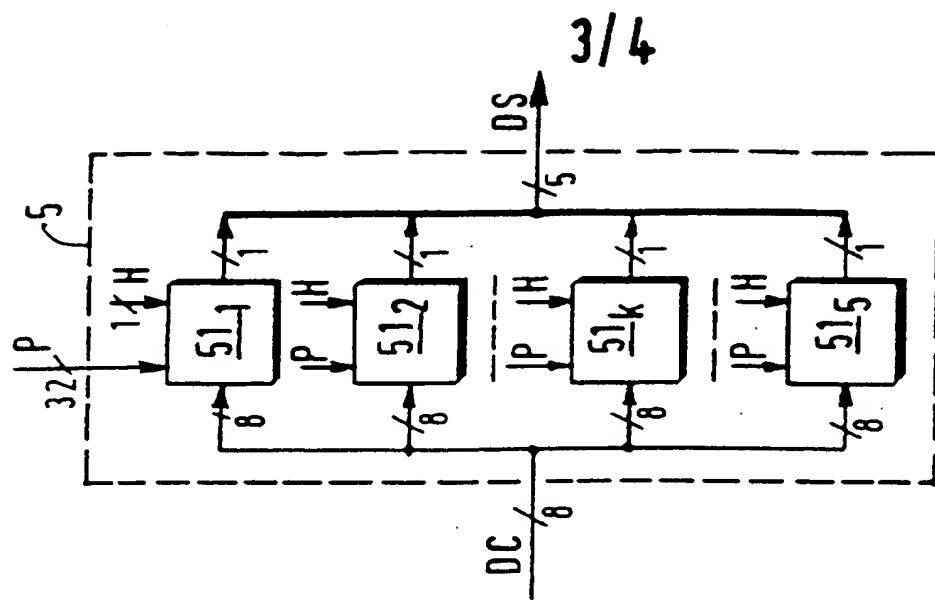


FIG. 5

4 / 4

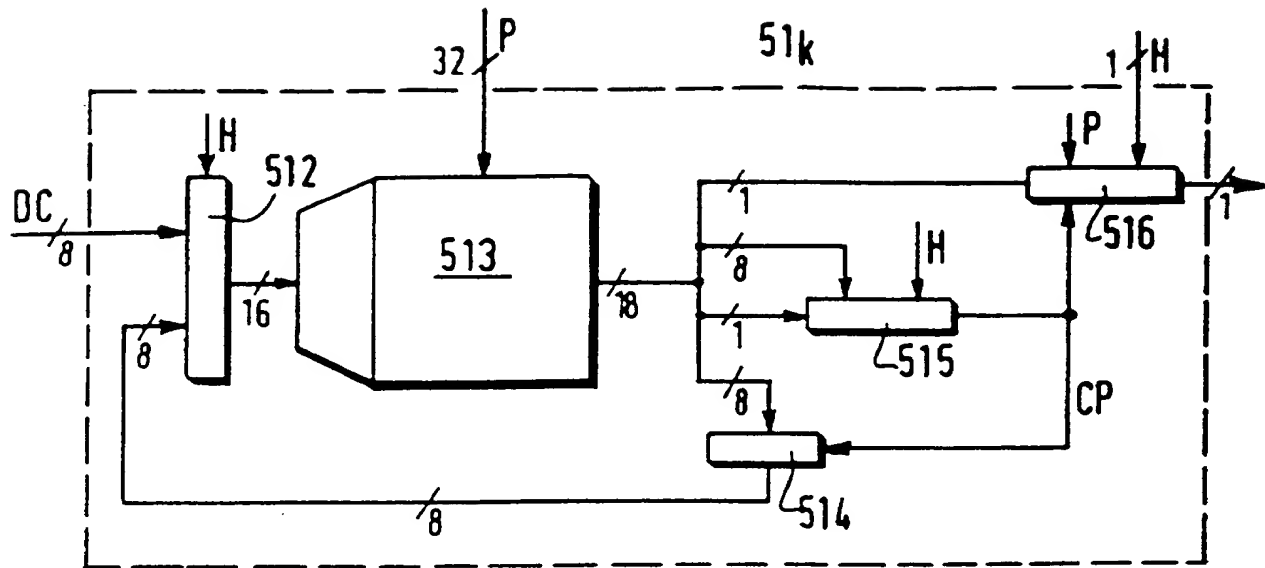


FIG. 6

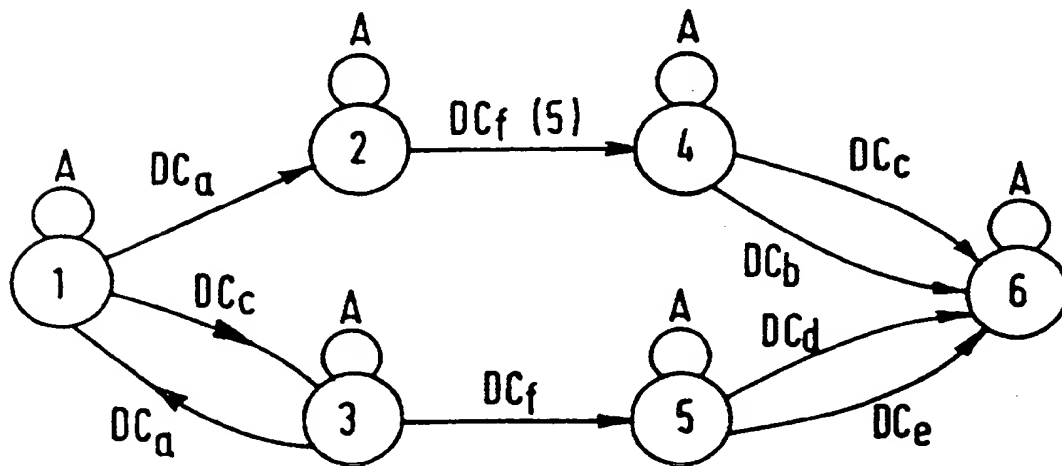


FIG. 7

1/4

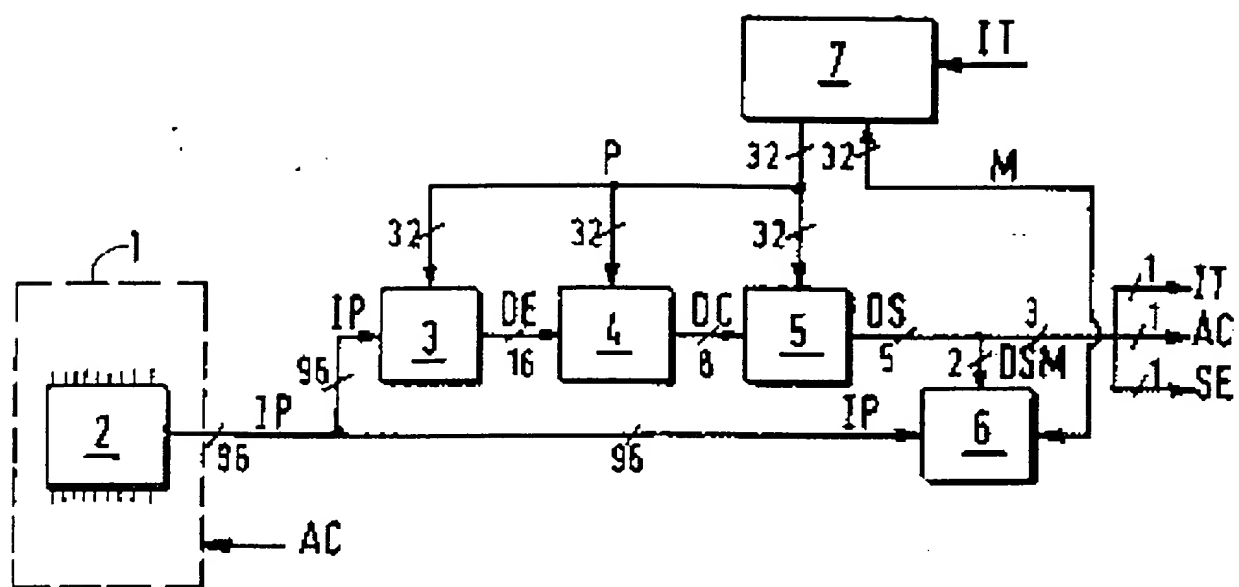


FIG.1

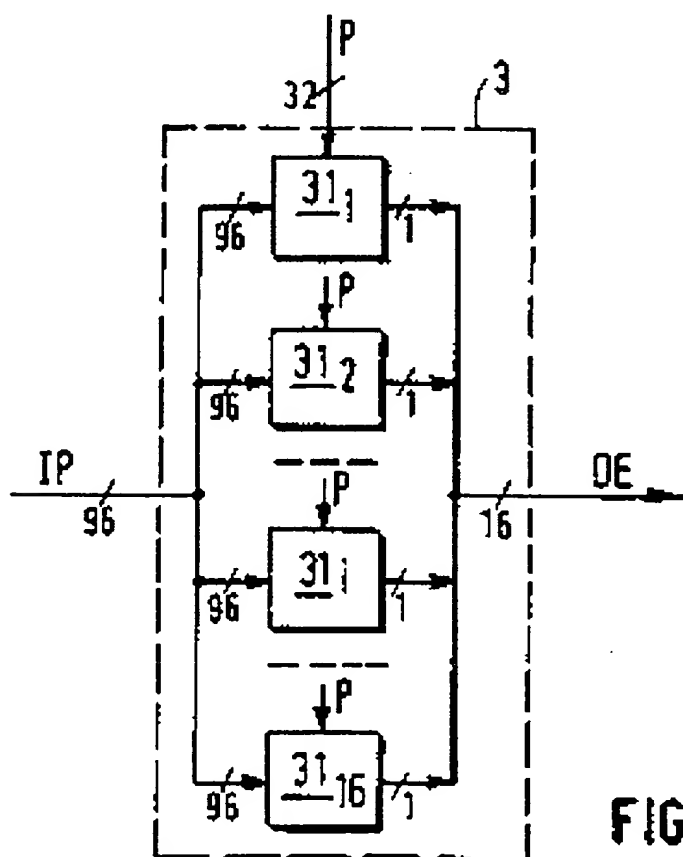


FIG. 2

2/4

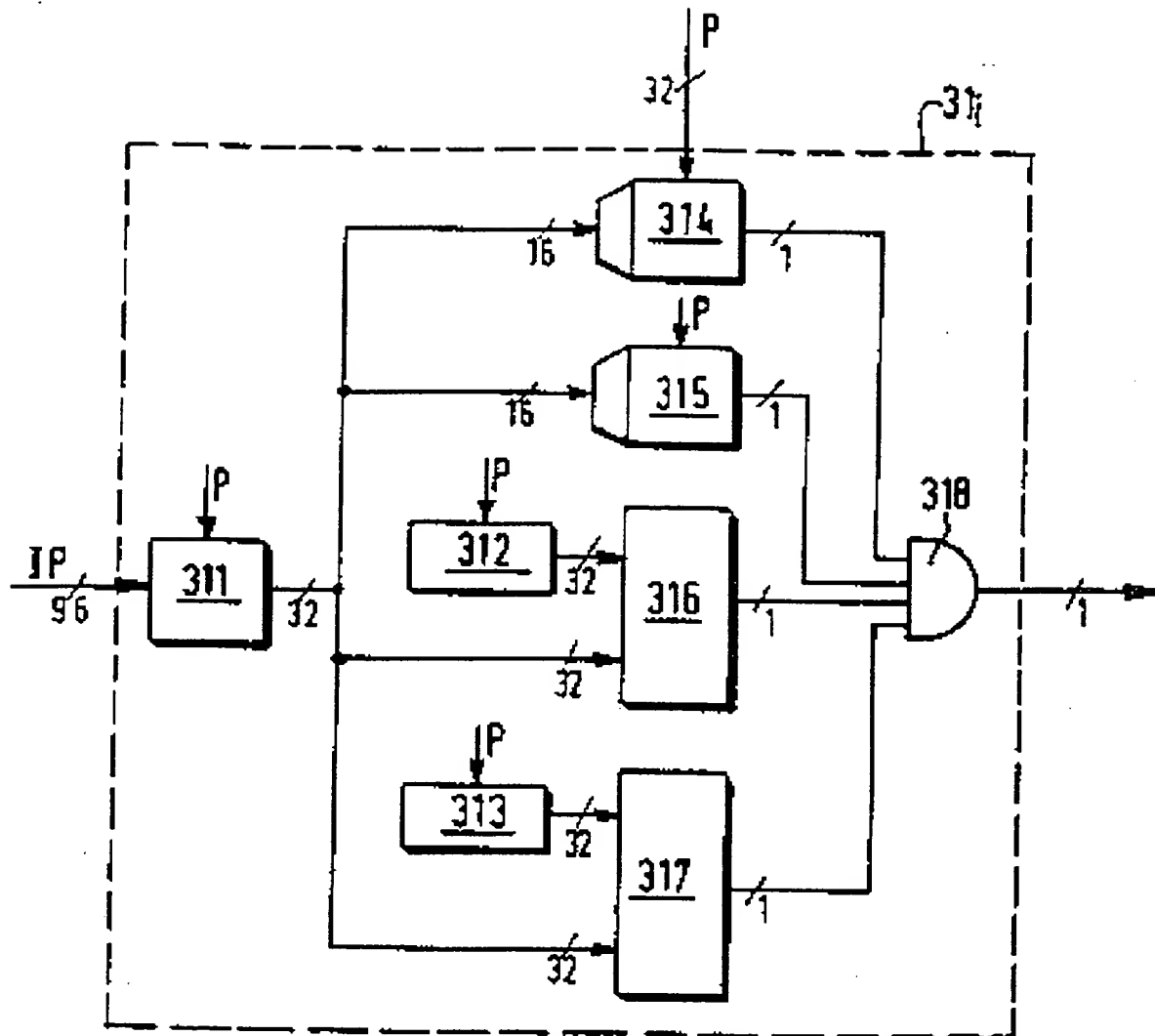
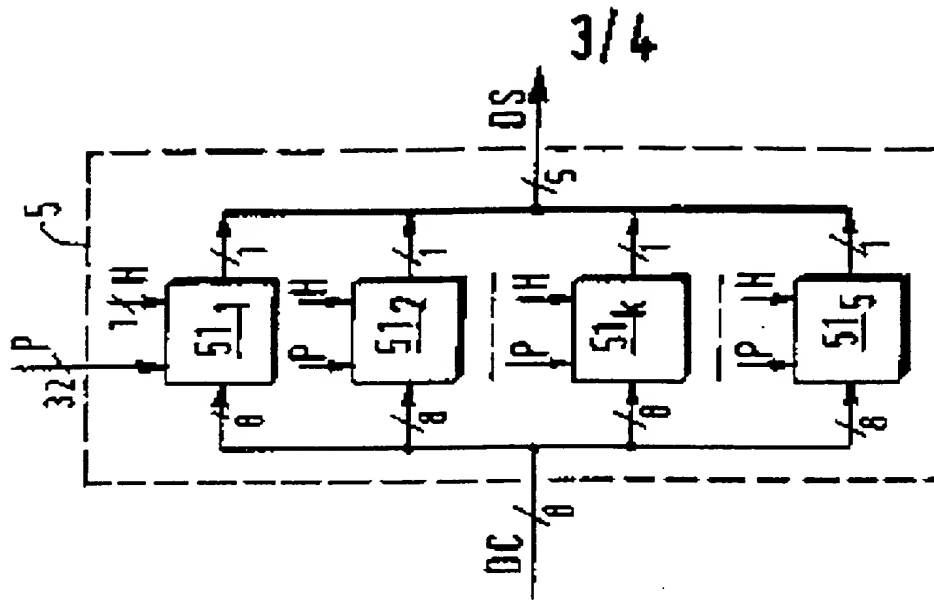
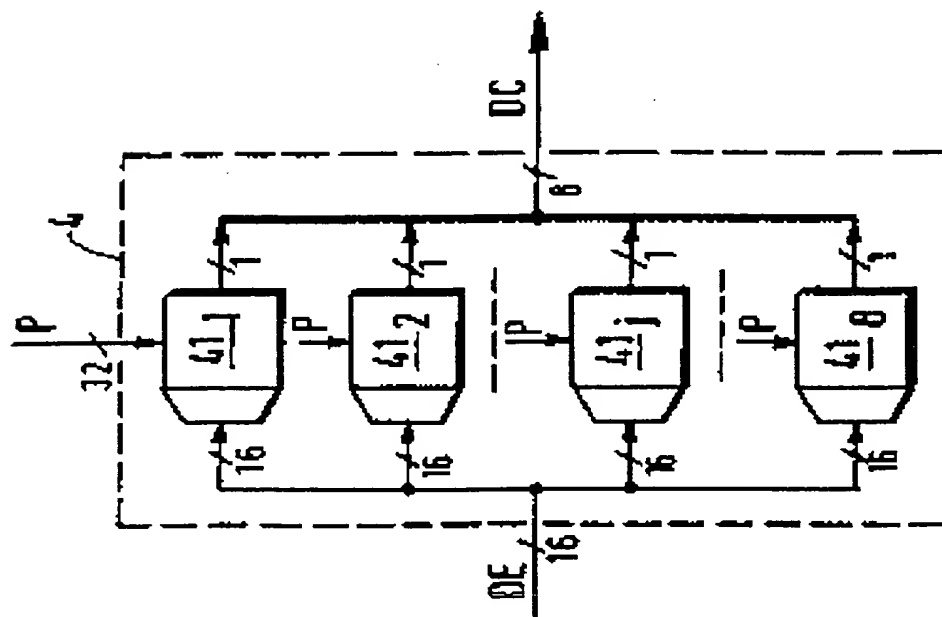


FIG. 3



4 / 4

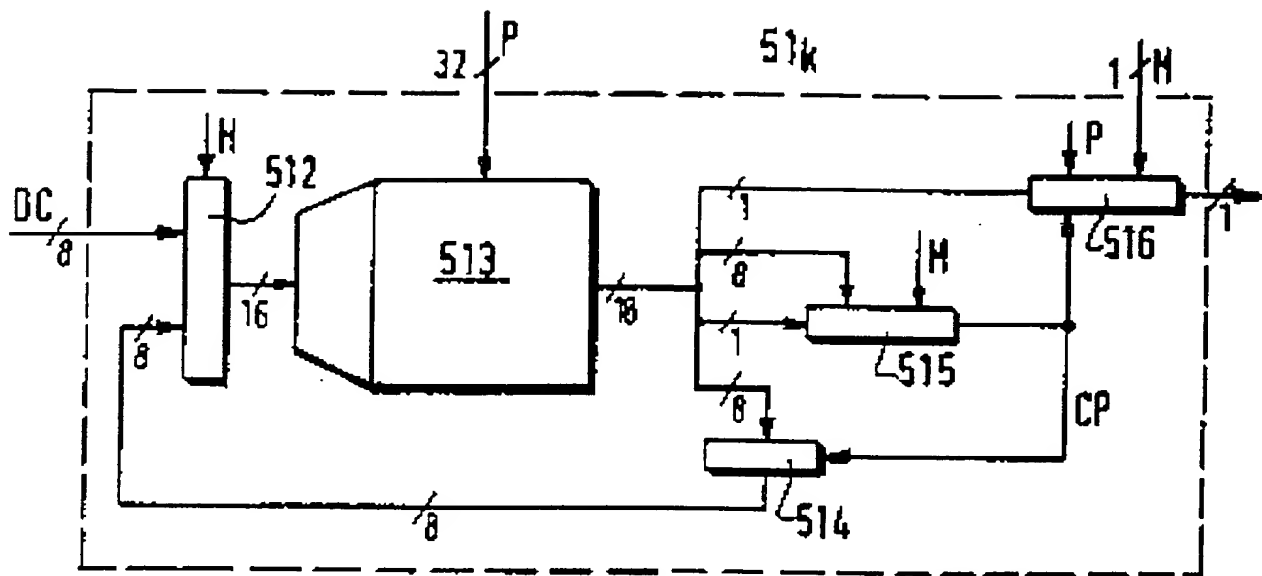


FIG. 6

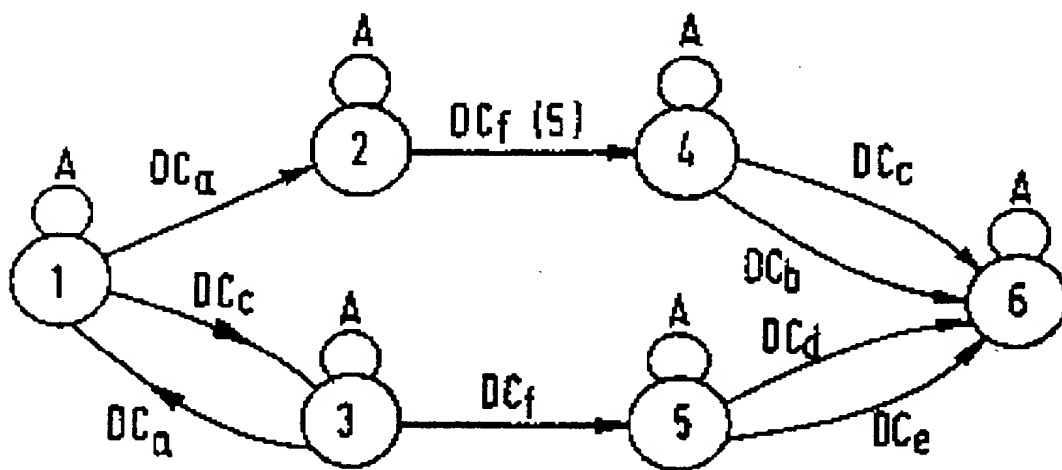


FIG. 7

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.